

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-209848

(43)Date of publication of application : 28.07.2000

H02M 3/155

(71)Applicant : SHARP CORP

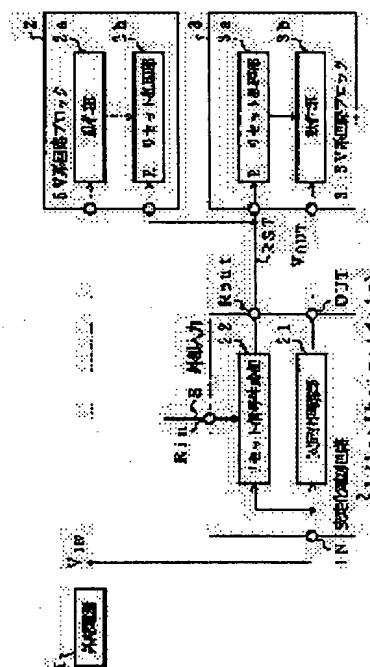
(72)Inventor: SHIRAI KOJI

(54) STABILIZED POWER SOURCE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a stabilized power source with functions for generating a reset signal of high reliability, in order to prevent malfunctions of the system as a whole.

SOLUTION: A reset signal forming part 22 of a stabilized power source circuit 1 monitors not only an input voltage V_{IN} but also previously determined external signals S, such as manual reset, signals from other circuits and power source voltages of other systems. When an external input S showing reset is inputted, the reset signal forming part 22 outputs a reset signal RST. Since after the reset signal forming part 22 formed in the power source circuit 1 summarizes triggers of the reset signal RST, irrespective of the input voltage V_{IN} , the reset signal RST is outputted. Thereby malfunctions or the like due to nonconformities of power supply to a summarizing circuit as when it is installed independently can be prevented, and reliability of a system as a whole can be improved.



LEGAL STATUS

[Date of request for examination] 13.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3506938

[Date of registration] 26.12.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2000-209848

(P2000-209848A)

(43)公開日 平成12年7月28日(2000.7.28)

(51) Int.Cl.⁷

識別記号

F I

テーマコード・(参考)

H O 2 M 3/155

H O 2 M 3/155

H 5H730

審査請求 未請求 請求項の数6 OL (全 20 頁)

(21)出願番号 特願平11-7037

(22) 出願日 平成11年1月13日(1999.1.13)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 白井 孝司

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

(74) 代理人 100080034

三 謙 原 士 理 弁

Fターム(参考) 5H730 AA15 DD02 EE43 EE59 FD01

FD11 XX02 XX03 XX13 XX22

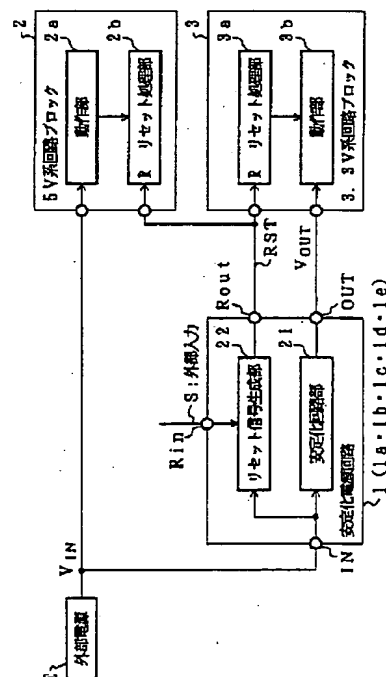
XX23 XX33 XX41

(54) 【発明の名称】 安定化電源回路

(57) 【要約】

【課題】 システム全体の誤動作を防止するために、より信頼性の高いリセット信号発生機能付き安定化電源回路を提供する。

【解決手段】安定化電源回路 1 のリセット信号生成部 22 は、入力電圧 V_{IN} を監視するだけではなく、例えば、マニュアル・リセットや、他の回路からの信号、あるいは、他系統の電源電圧など、予め定められた外部入力 S も監視している。リセットを示す外部入力 S が入力された場合、リセット信号生成部 22 は、入力電圧 V_{IN} に拘わらず、リセット信号 RST を出力する。このように、安定化電源回路 1 内に設けられたリセット信号生成部 22 が、リセット信号 RST のトリガを集約した後、リセット信号 RST を出力するので、集約回路を別に設けた場合のように、集約回路への電力供給の不具合に起因する誤動作などを防止でき、システム全体の信頼性を向上できる。



【特許請求の範囲】

【請求項 1】 入力電圧または出力電圧を監視して、当該電圧が低下した場合に、リセット信号を出力するリセット信号生成手段を備えた安定化電源回路において、外部からの入力を受け付ける入力手段を備え、上記リセット信号生成手段は、上記入力手段の受け付けた外部入力のリセットを示す場合、リセット信号を生成することを特徴とする安定化電源回路。

【請求項 2】 上記入力手段は、使用者のリセット操作を受け付けることを特徴とする請求項 1 記載の安定化電源回路。

【請求項 3】 上記入力手段は、外部から、リセットするか否かを示すロジック信号を受け付けることを特徴とする請求項 1 記載の安定化電源回路。

【請求項 4】 上記入力手段は、他系統の電圧を示す信号を受け取り、

上記リセット信号生成手段は、上記他系統の電圧が低下した場合にも、リセット信号を出力することを特徴とする請求項 1 記載の安定化電源回路。

【請求項 5】 上記入力手段は、外部からの入力として、負荷への電力供給の要否を示す指示信号を受け取り、当該指示信号に基づいて、負荷へ電力を供給するか否かを制御する出力制御手段が設けられていると共に、上記リセット信号生成手段は、上記指示信号に同期して、リセット信号を出力することを特徴とする請求項 1 記載の安定化電源回路。

【請求項 6】 上記出力制御手段が電力供給の要否を判定する際における上記指示信号のしきい値と、上記リセット信号生成手段がリセット信号を出力するか否かを判定する際における上記指示信号のしきい値とは、互いに異なる値に設定されていることを特徴とする請求項 5 記載の安定化電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、リセット信号を出力する機能を有し、例えば、マイクロプロセッサを含む回路など、リセット信号が入力される回路へ安定した出力を供給するために好適に使用される安定化電源回路に関するものである。

【0002】

【従来の技術】 現在、種々の電子機器や電気機器では、高機能化の要求に応えるために、マイクロプロセッサが広く使用されている。これらマイクロプロセッサでは、正常動作可能な電源電圧の範囲が決められており、電源電圧が当該範囲から外れると、誤動作してしまう。したがって、マイクロプロセッサへ電力を供給する際、所定の範囲内に電源電圧を安定化させるために、安定化電源回路が用いられている。

【0003】 また、上記安定化電源回路の中には、例えば、図 19 に示す安定化電源回路 111 のように、安定

した出力電圧 V_{OUT} を発生する安定化回路部 121 と、出力電圧 V_{OUT} を監視するリセット信号生成部 122 とを備え、図 20 に示すように、出力電圧 V_{OUT} が所定のしきい値を下回った場合にリセット信号 RST を出力して、マイクロプロセッサを含む回路ブロック 104 へ異常を通知できるものも存在する。

【0004】 これらの安定化電源回路 111 では、例えば、図 21 に示すように、出力電圧 V_{OUT} を抵抗 $R11$ ・ $R112$ で分圧して、電圧 V_{RT} を生成し、比較器 $CM111$ は、当該電圧 V_{RT} が所定の基準電圧 V_{REF111} を下回った場合に、トランジスタ $N111$ を導通させて、出力端子 $Output$ から、「L」レベルのリセット信号 RST を出力している。

【0005】 一方、上記回路ブロック 104 は、リセット信号 RST が入力されている期間、予め定められた初期状態に自らの状態を設定し、誤動作を防止する。これにより、マイクロプロセッサシステム全体の起動時、あるいは、入力電圧 V_{IN} の低下時や瞬断時など、安定化電源回路 111 が出力電圧 V_{OUT} を適切な範囲に維持できない期間が存在する場合であっても、マイクロプロセッサシステムは、適切な出力電圧 V_{OUT} が印加されている間、何ら支障なく動作できる。

【0006】 ここで、近年では、マイクロプロセッサの高速化が進められており、特に、高速動作が求められる回路では、電源電圧が 3.3V などまで引下げられている。一方、余り高速動作が求められない回路や、高い駆動能力が求められる回路、あるいは、従来回路とのインターフェース回路などとしては、例えば、電源電圧が 5V の回路が使用される。

【0007】 このように、複数の電源電圧で動作する回路ブロック 102・103 が混在する場合、例えば、図 22 に示すように、安定化電源回路 101 のリセット信号生成部 122 は、入力電圧 V_{IN} を監視して、例えば、5V の電源電圧が 4.2V 以下に低下した場合などに、リセット信号 RST を出力する。なお、この場合は、図 23 に示すように、リセット信号生成部 122 は、安定化回路部 121 の前段に設けられる。

【0008】

【発明が解決しようとする課題】 しかしながら、上記構成の安定化電源回路では、リセット信号のトリガが複数種類存在する場合、正しくリセット信号を生成できなくなり、システム全体が誤動作する虞れがあるという問題を生ずる。

【0009】 具体的には、例えば、図 24 (図 25) に示すように、システム全体で見ると、リセット信号 RST のトリガは、安定化電源回路 111 (101) が生成するリセット信号 RST だけではなく、例えば、誤動作発生時のマニュアル・リセットや、例えば、他機器の接続を示す信号など、他のロジック回路から入力されるリセット信号、あるいは、他系統 (例えば、12V 系) の

電源電圧など、複数種類のトリガが使用されることが多い。

【0010】さらに、複数系統の回路ブロック102・103が設けられている場合、消費電力を低減するために、5V系回路ブロック102が動作していても、3・3V系回路ブロック103への電力供給が停止されることがある。この場合には、誤動作を防止するために、3・3V系の回路ブロック103の停止と同時に、5V系回路ブロック102をリセットしたり、5V系回路ブロック102をリセットしてから、3・3V系回路ブロック103を停止する必要がある。

【0011】ここで、各回路ブロック104（102・103）では、端子数が制限されており、リセット入力用に余り多くの端子を設けることができない。ところが、それぞれのトリガを集約する回路130を設けた場合、例えば、集約用回路130への電力供給の不具合などによって、集約用回路130が誤動作する虞れがある。この場合は、各回路ブロック104（102・103）へ正しいリセット信号RSTを入力できず、システム全体が誤動作してしまう。

【0012】なお、システムの消費電力を低減するために、各回路ブロック104（102・103）の動作が不要な場合は、個別に動作が停止されるので、上記集約用回路130の電力供給系統を、いずれの系統に設定しても、集約用回路130が誤動作する虞れがある。

【0013】本発明は、上記の問題点を鑑みてなされたものであり、その目的は、より信頼性の高いリセット信号発生機能付き安定化電源回路を提供することにある。

【0014】

【課題を解決するための手段】請求項1の発明に係る安定化電源回路は、上記課題を解決するために、入力電圧または出力電圧を監視して、当該電圧が低下した場合に、リセット信号を出力するリセット信号生成手段を備えた安定化電源回路において、外部からの入力を受け付ける入力手段を備え、上記リセット信号生成手段は、上記入力手段の受け付けた外部入力からリセットを示す場合、リセット信号を生成することを特徴としている。

【0015】上記構成によれば、リセット信号生成手段は、上記電圧が低下した場合だけでなく、リセットを示す入力を外部から受け取った場合にも、リセット信号を生成する。したがって、当該安定化電源回路を使用するシステムのリセット信号が、例えば、使用者によるマニュアル・リセット入力や、他のロジック回路からの信号入力、あるいは、他の系統の電源電圧低下など、自らの電圧異常以外のトリガを有する場合であっても、入力手段がこれらのトリガを識別できるので、安定化電源回路は、各トリガを集約してリセット信号を生成できる。

【0016】また、リセット信号生成手段が上記電圧の異常のみを監視して、異常を示す信号を出力し、他の集約回路にて、当該リセット信号と他のトリガとを集約し

て、リセット信号を生成する場合とは異なり、例えば、集約に先立って集約回路へ供給するなど、複雑な制御を行うことなく、正しいリセット信号を生成できる。

【0017】これらの結果、集約回路を設ける場合に比べて、システム全体の部材数および端子数が少なく、かつ、より信頼性の高いシステムを実現可能な安定化電源回路を提供できる。

【0018】また、請求項2の発明に係る安定化電源回路は、請求項1記載の発明の構成において、上記入力手段は、使用者のリセット操作を受け付けることを特徴としている。なお、当該入力手段は、例えば、電気的あるいは機械的なスイッチなど、使用者のリセット操作を受け付け可能な任意の部材により実現される。

【0019】上記構成によれば、安定化電源回路は、自らの電圧異常だけでなく、誤動作が発生した場合に使用者により入力されるマニュアル・リセットも集約して、リセット信号を生成できる。この結果、外部からのマニュアル・リセットに応じてリセット信号を出力する必要がある場合であっても、部品数および端子数が少なく、かつ、より信頼性の高いシステムを実現可能な安定化電源回路を提供できる。

【0020】さらに、請求項3の発明に係る安定化電源回路は、請求項1記載の発明の構成において、上記入力手段は、外部から、リセットするか否かを示すロジック信号を受け付けることを特徴としている。

【0021】上記構成によれば、安定化電源回路は、自らの電圧異常だけでなく、例えば、他機器が接続されたことを示す信号や、他機器からの指示などのロジック信号も集約して、リセット信号を生成できる。この結果、外部からのロジック信号によりリセット信号を出力する必要がある場合であっても、部品数および端子数が少なく、かつ、より信頼性の高いシステムを実現可能な安定化電源回路を提供できる。

【0022】また、請求項4の発明に係る安定化電源回路は、請求項1記載の発明の構成において、上記入力手段は、他系統の電圧を示す信号を受け取り、上記リセット信号生成手段は、上記他系統の電圧が低下した場合にも、リセット信号を出力することを特徴としている。

【0023】上記構成によれば、安定化電源回路は、自らの電圧異常だけでなく、例えば、周辺機器へ供給する12V系の電源電圧など、自らとは異なる系統の電圧異常も集約して、リセット信号を生成できる。この結果、自らとは異なる系統の電圧異常によりリセット信号を出力する必要がある場合であっても、部品数および端子数が少なく、かつ、より信頼性の高いシステムを実現可能な安定化電源回路を提供できる。

【0024】一方、請求項5の発明に係る安定化電源回路は、請求項1記載の発明の構成において、上記入力手段は、外部からの入力として、負荷への電力供給の要否を示す指示信号を受け取り、当該指示信号に基づいて、

負荷へ電力を供給するかどうかを制御する出力制御手段が設けられていると共に、上記リセット信号生成手段は、上記指示信号に同期して、リセット信号を出力することを特徴としている。

【0025】上記構成によれば、安定化電源回路は、自らの電圧異常だけではなく、電力供給の要否を示す指示信号も集約して、リセット信号を生成できる。この結果、電力供給を切り換える場合にリセット信号を出力する必要がある場合であっても、部品数および端子数が少なく、かつ、より信頼性の高いシステムを実現可能な安定化電源回路を提供できる。

【0026】加えて、請求項6の発明に係る安定化電源回路は、請求項5記載の発明の構成において、上記出力制御手段が電力供給の要否を判定する際における上記指示信号のしきい値と、上記リセット信号生成手段がリセット信号を出力するかどうかを判定する際における上記指示信号のしきい値とは、互いに異なる値に設定されていることを特徴としている。

【0027】上記構成によれば、出力制御手段のしきい値とリセット信号生成手段のしきい値とが互いに異なっているので、一方の判定より早い時点で、他方が判定される。この結果、同じ指示信号に基づいて、電力供給の要否と、リセット信号出力の要否とが判定されるにも拘わらず、電力供給の切り換えのタイミングと、リセット信号の出力タイミングとを個別に設定できる。

【0028】

【発明の実施の形態】〔第1の実施形態〕本発明の一実施形態について図1ないし図3に基づいて説明すると以下の通りである。すなわち、図1に示すように、本実施形態に係る安定化電源回路1は、例えば、互いに異なる電源電圧システムの回路ブロック2・3を有するマイクロプロセッサシステムなどにおいて、ある電源電圧システム（この例では、3.3V系）の回路ブロック3へ供給する電圧 V_{OUT} を安定化するために使用されており、出力電圧 V_{OUT} が安定するように、入力端子INから与えられた電力を制御する安定化回路部21と、リセット信号RSTを発生するリセット信号生成部（リセット信号生成手段）22とを備えている。上記安定化電源回路1は、レギュレータICとして提供されており、安定化回路部21内の各回路素子を別体の素子で実現する場合に比べて、高精度に出力電圧 V_{OUT} を制御できるにも拘わらず、製造コストが低く抑えられている。

【0029】上記安定化回路部21は、例えば、スイッチング型やリニア型などのレギュレータであって、例えば、3.3V系回路ブロック3の消費電力が増大したり、外部電源Eから供給される入力電圧VINが低下するなどして、出力電圧 V_{OUT} が低下しようとする、遮断期間に対する導通期間の割合を大きくしたり、安定化回路部21が出力する電流量を増大させるなどして、出力電圧 V_{OUT} の低下を抑制する。同様に、出力電圧 V_{OUT}

が増大しようとする、導通期間の割合を小さくしたり、出力電流の量を低下させるなどして、出力電圧 V_{OUT} の増大を抑制する。これにより、安定化回路部21は、3.3V系回路ブロック3へ供給する電圧 V_{OUT} を安定させることができる。

【0030】一方、リセット信号生成部22は、入力電圧VINを監視して、入力電圧VINが所定のしきい値を下回っている間、出力端子ROUTを介して、リセット信号RSTを出力する。これにより、図3に示すt1以前の期間のように、例えば、マイクロプロセッサシステムの起動時など、入力電圧VINが立ち上がり、各回路ブロック2・3が正常に動作できるまでの間、各回路ブロック2・3には、リセット信号RSTが出力され、各回路ブロック2・3は、初期状態に設定される。この結果、各回路ブロック2・3は、それぞれへ供給される電圧VIN・ V_{OUT} が安定化した後で、動作を開始できる。

【0031】同様に、t2からt3までの期間のように、瞬断などによって、各回路ブロック2・3が正常に動作できなくなるレベルまで、入力電圧VINが低下した場合も、リセット信号生成部22は、各回路ブロック2・3へリセット信号RSTを出力する。これにより、それぞれへ供給される電圧VIN・ V_{OUT} の低下に起因する各回路ブロック2・3の誤動作が防止される。

【0032】さらに、本実施形態に係る安定化電源回路1には、外部入力端子（入力手段）Rinが設けられており、リセット信号生成部22は、例えば、マニュアルリセットや、他のリセット信号源となる回路からのリセット信号、あるいは、他系統の電源電圧など、当該外部入力端子Rinから入力される外部入力Sに基づいて、リセット信号RSTを出力できる。これにより、t4からt5までの期間のように、入力電圧VINが所定のしきい値を上回っている期間であっても、リセット信号生成部22は、外部入力Sがリセットを指示すると、リセット信号RSTを出力する。

【0033】ここで、近年のマイクロプロセッサシステムでは、消費電力を削減するために、個々の回路ブロックを個別にON/OFF制御したり、より確実に誤動作を防止するために、電源電圧や周囲温度など、監視項目の数を増加させたりしていることが多い。したがって、リセット信号RSTのトリガとなる信号は、増加する傾向にある。一方、マイクロプロセッサなどの各回路ブロック2・3では、チップに必要な端子数に合わせてチップの寸法が決定されることがあるほど、回路寸法の小型化が進んでおり、端子数を増加させることが難しい。この結果、多くの場合、各回路ブロック2・3に設けられたリセット端子Rの数よりも、トリガ信号の数の方が多くなる。したがって、リセット信号RSTの供給先となる各回路ブロック2・3とは別体に、複数のトリガ信号を集約する回路を設ける方が望ましい。

【0034】また、集約用の回路は、電圧VIN・ V_{OUT}

が低く、供給先の回路ブロック2・3の動作が不安定な期間中、リセット信号RSTを出力し続ける必要がある。したがって、電力供給系統が同一の場合、集約用の回路は、供給先の回路ブロック2・3よりも広い電源電圧範囲で動作する必要がある。この点からも、集約用の回路は、供給先の回路ブロック2・3と電力供給系統を別にする方がよい。なお、上述したように、各回路ブロック2・3は、それぞれの動作が不要な場合に、個別に電力供給が停止される虞れがあるため、集約用の回路の電力供給系統は、供給先とは異なる回路ブロック2・3とも別に設ける方がよい。

【0035】一方、図25に示す安定化電源回路101のように、当該集約用回路130を独立したチップとして実現した場合、マイクロプロセッサシステム全体のチップ数が増加してしまう。また、集約用回路130が独立している場合、マイクロプロセッサシステム全体において、信号入出力用の端子数が増大するだけでなく、上述したように、各回路ブロック102・103とは別の系統で、集約用回路130へ電力を供給するために、安定化電源回路101と、集約用回路130との双方に電力供給用の端子を設ける必要があり、マイクロプロセッサシステム全体の端子数も増大する。さらに、リセット信号RSTを駆動するために、安定化電源回路101および集約用回路130の双方の出力段に、消費電力が比較的大きく、回路寸法も大きくなりがちな駆動用回路を設ける必要がある。これらの結果、マイクロプロセッサシステム全体の製造コストを増加させる虞れがある。

【0036】これに対して、本実施形態では、安定化電源回路1に外部入力端子Rinが設けられ、リセット信号生成部22が外部入力Sに基づいて、リセット信号RSTを生成している。このように、安定化電源回路1がリセット信号発生機能付きレギュレータICとして、1デバイス化されているので、集約用の回路を独立して設ける場合に比べて、マイクロプロセッサシステム全体の素子数および端子数を削減できる。また、安定化電源回路1が3.3V系回路ブロック3へ電力を供給可能であれば、すなわち、入力電圧VINが印加されていれば、リセット信号生成部22への電力供給タイミングを特に制御しなくても、リセット信号生成部22は、必ず、正常に動作できる。なお、リセット信号RSTの供給先と電力の供給先とが同一なので、電力を供給できない場合に、リセット信号RSTを出力できなくても何ら支障はない。さらに、集約用の回路の出力段とリセット信号生成部22の出力段とを共用できるので、それぞれを別に設ける場合に比べて回路構成を簡略化できる。これらの結果、マイクロプロセッサシステム全体の製造コストを大幅に削減できる。

【0037】端子数について比較すると、例えば、リセット信号RSTのトリガの数が、安定化電源回路1にて判定されるトリガも含めて2つの場合、図25の構成で

は、信号を入出力するために、安定化電源回路101からのトリガ出力端子と、集約用回路130でのトリガ入力端子(2つ)と、リセット信号RSTの出力端子とが設けられ、集約用回路130へ電力を供給するために、安定化電源回路101と集約用回路130との双方に端子が設けられるので、合計6端子が必要になる。一方、本実施形態では、外部入力端子Rinと、リセット信号RSTの出力端子Routとの計2端子を設けられればよく、端子数を4つ削減できる。

【0038】なお、各回路ブロック2・3に比べて、安定化電源回路1は、電力制御素子や駆動用トランジスタなど、消費電力が比較的多い素子を備えており、レギュレータIC、または、レギュレータ制御用ICとして集積する場合であっても、チップの集積度は、比較的低く抑えられている。したがって、回路ブロック2・3に比べて、端子数の制限は緩やかであり、何ら支障なく、外部入力端子Rinを配設できる。

【0039】ところで、上記では、リセット信号生成部22が入力電圧VINを監視する場合を例にして説明したが、例えば、図2に示す変形例のように、リセット信号生成部22が出力電圧VOUTを監視する場合でも同様の効果が得られる。

【0040】当該変形例に係る安定化電源回路11は、例えば、5V単一や3V単一など、回路ブロック4の電源電圧系統が単一のマイクロプロセッサシステムで、回路ブロック4への供給電圧VOUTを安定化するために好適に使用され、リセット信号生成部22が出力電圧VOUTを監視して、出力電圧VOUTが所定のしきい値を下回った場合と、外部入力Sが入力された場合との双方に、リセット信号RSTを出力する。なお、安定化電源回路11は、リセット信号生成部22が電圧を監視する場所が異なる以外は、安定化電源回路1と同一の構成を有しているので、同じ機能を有する部材には、同じ参照符号を付して、説明を省略する。

【0041】本変形例に係る安定化電源回路11においても、安定化電源回路1と同様に、外部入力端子Rinが設けられ、図3のt4からt5の期間に示すように、出力電圧VOUTがしきい値を越えている場合であっても、リセット信号生成部22は、外部入力Sが入力されると、リセット信号RSTを出力する。この結果、集約用の回路を独立して設ける場合に比べて、マイクロプロセッサシステム全体の素子数および端子数を削減でき、マイクロプロセッサシステムの製造コストを大幅に低減できる。

【0042】〔第2の実施形態〕本実施形態では、上記外部入力Sがマニュアル・リセット入力の場合における安定化電源回路の具体的な回路構成について、図4ないし図6を参照しながら、詳細に説明する。なお、本実施形態では、例えば、使用者などによるスイッチ操作が外部入力Sとなる。したがって、トリガを発生する手段、

および、外部入力を受け取る端子として、後述するスイッチSW11が設けられている。

【0043】すなわち、本実施形態に係る安定化電源回路1aは、図4に示すように、入力電圧VINを監視する場合の構成例であって、安定化回路部21の電力制御素子として、入出力端子IN・OUT間に、PNP型の出力トランジスタP1が設けられている。また、出力電圧VOUTは、抵抗R1およびR2によって分圧され、誤差増幅器AMP1は、両抵抗R1・R2の接続点の電圧（帰還電圧VADJ）と、定電圧源E1が出力する所定の基準電圧VREF1との差が小さくなるように、出力トランジスタP1のベース電流を駆動するための駆動用トランジスタN2を制御する。

【0044】これにより、出力電圧VOUTが所定の値よりも大きく、すなわち、帰還電圧VADJが基準電圧VREF1よりも大きくなろうとすると、出力トランジスタP1のベース電流が制限される。これにより、出力トランジスタP1が出力端子OUTへ出力する電流量が減少して、出力電圧VOUTの増大が抑制される。これとは逆に、出力電圧VOUTが所定の値よりも小さくなろうとすると、出力トランジスタP1の出力電流が増大して、出力電圧VOUTの低下が打ち消される。

【0045】この結果、安定化回路部21は、図1に示す3.3V系回路ブロック3などの負荷Lの消費電力が変動した場合であっても、常に安定した出力電圧VOUTを負荷Lへ供給できる。

【0046】一方、上記安定化電源回路1aには、リセット信号生成部22として、出力端子ROUTと接地レベルとの間に設けられたNPN型のトランジスタN11と、入力電圧VINを分圧する抵抗R11・R12と、両抵抗R11・R12により分圧された電圧VRTと、所定の基準電圧VREF11を出力する定電圧源E11と、両電圧VRTが電圧VREF11を下回った場合に、上記トランジスタN11を導通させて、「L」アクティブのリセット信号RSTを出力させる比較器CMP11とが設けられている。さらに、上記リセット信号生成部22は、外部入力Sを受け取るために、上記両抵抗R11・R12の接続点と接地レベルとの間に、スイッチSW11を備えている。なお、本実施形態では、当該スイッチSW11が特許請求の範囲に記載の入力手段に対応する。

【0047】上記構成によれば、図6に示すt1以前の期間や、t2からt3までの期間のように、入力電圧VINが低下して、所定のしきい値を下回った場合、上記入力電圧VINに伴って変動する電圧VRTは、上記基準電圧VREF11を下回る。この結果、比較器CMP11がトランジスタN11を導通させ、「L」レベルのリセット信号RSTが出力される。

【0048】一方、t4からt5までの期間のように、使用者の操作などに応じて、スイッチSW11が導通すると、上記電圧VRTは、入力電圧VINに拘わらず、接地

レベルへと低下して、基準電圧VREF11を下回る。これにより、トランジスタN11が導通して、「L」レベルのリセット信号RSTを出力する。

【0049】これらの結果、安定化電源回路1aは、入力電圧VINが所定のしきい値を下回った場合だけではなく、外部入力Sとなるマニュアル・リセットがスイッチSW11の導通/遮断（この場合は、導通）によって指示された場合も、リセット信号RSTを出力できる。したがって、外部入力Sがマニュアル・リセットの場合において、第1の実施形態と同様、リセット信号RSTに起因する誤動作を防止できるにも拘わらず、部品数が少なく、製造が容易なマイクロプロセッサシステムを実現できる。

【0050】また、リセット信号生成部22が出力電圧VOUTを監視する場合、図5に示す安定化電源回路11aに示すように、リセット信号生成部22の抵抗R11は、出力端子OUTに接続され、両抵抗R11・R12によって、出力電圧VOUTを分圧する。これにより、出力電圧VOUTを監視する構成であっても、上記安定化電源回路1aと同様に、リセット信号生成部22は、外部入力Sとして、マニュアル・リセットが入力された場合、リセット信号RSTを出力できる。この結果、リセット信号RSTに起因する誤動作を防止できるにも拘わらず、部品数が少なく、製造の容易なマイクロプロセッサシステムを実現できる。

【0051】〔第3の実施形態〕本実施形態では、上記外部入力Sとして、例えば、他のロジック回路（図示せず）からのデジタル信号VRinが入力される場合について、図7ないし図9を参照しながら説明する。すなわち、本実施形態に係る安定化電源回路1bは、図7に示すように、図4に示すスイッチSW11に代えて、外部入力端子Rinをベースに接続したPNP型のトランジスタP21が設けられている。なお、他の構成は、図4に示す安定化電源回路1aと同様なので、同じ機能を有する部材には、同じ参照符号を付して説明を省略する。

【0052】上記構成によれば、図9に示すt4からt5の期間のように、上記他のロジック回路から、リセットを示す「L」レベルのデジタル信号VRinが入力されている期間、トランジスタP21が導通して、電圧VRTを基準電圧VREF11よりも低下させる。これにより、安定化電源回路1bは、入力電圧VINが所定のしきい値を下回った場合だけではなく、リセットを指示する信号が入力される場合も、リセット信号RSTを出力できる。この結果、外部入力Sが他のロジック回路からのデジタル信号VRinの場合において、第1の実施形態と同様、リセット信号RSTに起因する誤動作を防止できるにも拘わらず、部品数が少なく、製造が容易なマイクロプロセッサシステムを実現できる。

【0053】また、リセット信号生成部22が出力電圧VOUTを監視する場合、図8に示す安定化電源回路11

bに示すように、リセット信号生成部22の抵抗 R_{11} は、出力端子OUTに接続され、両抵抗 $R_{11} \cdot R_{12}$ によって、出力電圧 V_{out} を分圧する。これにより、出力電圧 V_{out} を監視する構成であっても、安定化電源回路11bは、上記安定化電源回路1bと同様に、リセットを指示する信号に基づいて、リセット信号RSTを出力できる。この結果、リセット信号RSTに起因する誤動作を防止できるにも拘わらず、部品数が少なく、製造の容易なマイクロプロセッサシステムを実現できる。

【0054】〔第4の実施形態〕本実施形態では、上記外部入力Sとして、他系統の電源電圧 V_{cc} が印加される場合について、図10ないし図12を参照しながら説明する。なお、図10に示す安定化電源回路1cは、入力電圧 V_{in} を監視する構成であり、図4に示す安定化電源回路1aと略同様である。また、図11に示す安定化電源回路11cは、出力電圧 V_{out} を監視する構成であり、図5に示す安定化電源回路11aと略同様である。したがって、同じ機能を有する部材には、同じ参照符号を付して説明を省略する。

【0055】本実施形態に係る安定化電源回路1c(11c)は、上記電源電圧 V_{cc} を分圧する抵抗 $R_{31} \cdot R_{32}$ と、両抵抗 $R_{31} \cdot R_{32}$ の接続点にベースが接続されたNPN型のトランジスタN31と、当該トランジスタN31のコレクタにベースが接続され、抵抗 $R_{11} \cdot R_{12}$ の接続点と接地レベルとの間に配されたNPN型のトランジスタN32と、当該トランジスタN32のベースへ所定の電流を供給する定電流源I31とを備えている。また、上記両抵抗 $R_{31} \cdot R_{32}$ の抵抗値は、上記電源電圧 V_{cc} が所定のしきい値を下回った時点で、トランジスタN31が遮断されるように設定されている。

【0056】上記構成において、図12のt4からt5までの期間のように、他系統の電源電圧 V_{cc} が所定のしきい値を下回ると、トランジスタN31が遮断され、トランジスタN32は導通する。これにより、電圧 V_{RT} が基準電圧 V_{REF1} よりも低下して、トランジスタN11が導通するので、リセット信号RSTは、「L」レベルとなる。

【0057】この結果、安定化電源回路1c(11c)は、入力電圧 V_{in} が所定のしきい値を下回った場合だけではなく、他系統の電源電圧 V_{cc} が低下した場合も、リセット信号RSTを出力できる。この結果、外部入力Sとして、他系統の電源電圧 V_{cc} が印加される場合において、第1の実施形態と同様、リセット信号RSTに起因する誤動作を防止できるにも拘わらず、部品数が少なく、製造が容易なマイクロプロセッサシステムを実現できる。

【0058】〔第5の実施形態〕本実施形態では、上記外部入力Sとして、安定化電源回路1d(11d)の動作/動作停止を指示する信号が使用される場合につい

て、図13ないし図15を参照しながら説明する。なお、図13に示す安定化電源回路1d(図14に示す安定化電源回路11d)は、図4に示す安定化電源回路1a(図5に示す安定化電源回路11a)と略同様の構成なので、同じ機能を有する部材には、同じ参照符号を付して説明を省略する。

【0059】すなわち、本実施形態に係る安定化電源回路1d(11d)は、動作/動作停止を示す信号 V_c が印加される端子(入力手段)ON/OFFと、信号 V_c に応じて、安定化回路部21を制御するON/OFF回路部(出力制御手段)23とを備えている。ON/OFF回路部23には、所定の電流を出力する定電流源I41と、抵抗 R_{41} と、NPN型のトランジスタN41とからなる直列回路が設けられており、当該トランジスタN41のベースは、端子ON/OFFに接続されている。

【0060】また、安定化回路部21の駆動用トランジスタN2のベースと接地レベルとの間には、NPN型のトランジスタN42が設けられており、上記定電流源I41と抵抗 R_{41} との接続点が、当該トランジスタN42のベースに接続されている。

【0061】一方、本実施形態では、上記信号 V_c が外部入力Sとして用いられており、端子ON/OFFは、外部入力端子 R_{in} を兼ねている。さらに、抵抗 $R_{11} \cdot R_{12}$ の接続点と接地レベルとの間には、上記定電流源I41と抵抗 R_{41} との接続点がベースに接続されたNPN型のトランジスタN51が設けられている。

【0062】上記構成によれば、図15に示すt4以前の期間やt5以降の期間のように、信号 V_c の電位が高い場合、トランジスタN41が導通して、定電流源I41の電流は、抵抗 R_{41} およびトランジスタN41を介して流れる。この結果、上記トランジスタN42は、遮断され、安定化回路部21の誤差増幅器AMP1は、帰還電圧 V_{ADJ} と基準電圧 V_{REF1} との差に基づいて、駆動用トランジスタN2を制御できる。

【0063】これとは逆に、t4からt5までの期間のように、信号 V_c の電位が低くなり、トランジスタN41が遮断されると、定電流源I41は、上記両トランジスタN42・N51にベース電流を供給する。この結果、トランジスタN41が導通して、駆動用トランジスタN2のベース電流を低下させる。これにより、出力トランジスタN1が遮断され、安定化回路部21は、動作を停止する。また、トランジスタN51が導通して、リセット信号生成部22内の電圧 V_{RT} を低下させる。これにより、トランジスタN11が導通して、「L」レベルのリセット信号RSTが出力される。

【0064】この結果、安定化電源回路1d(11d)は、入力電圧 V_{in} が所定のしきい値を下回った場合だけではなく、信号 V_c が安定化電源回路1d(11d)の停止を指示した場合も、リセット信号RSTを出力でき

る。この結果、外部入力Sとして、安定化電源回路1d(11d)の停止が指示する信号Vcが使用される場合において、第1の実施形態と同様、リセット信号RSTに起因する誤動作を防止できるにも拘わらず、部品数が少なく、製造が容易なマイクロプロセッサシステムを実現できる。

【0065】[第6の実施形態]ところで、第5の実施形態に係る安定化電源回路1d(11d)では、ON/OFF回路部23のトランジスタN41と、リセット信号生成部22のトランジスタN51とは、同じタイミングで導通/遮断する。

【0066】これに対して、本実施形態では、ON/OFF回路部23が安定化回路部21へ動作停止を指示する際における信号Vcのしきい値と、リセット信号生成部22がリセット信号RSTを出力する際における信号Vcのしきい値とが異なる場合について説明する。なお、図16に示す安定化電源回路1eは、上記安定化電源回路1dと略同様であるため、同じ機能を有する部材には、同じ参照符号を付して説明を省略する。

【0067】すなわち、本実施形態に係るON/OFF回路部23には、図16に示すように、上記端子ON/OFFと、上記トランジスタN41のベースとの間に、互いに直列に接続されたダイオードD61・D62が設けられている。

【0068】一方、本実施形態に係るリセット信号生成部22では、所定の電流を供給する定電流源I61と、抵抗R61と、NPN型のトランジスタN61とからなる直列回路が新たに設けられており、トランジスタN51のベースは、定電流源I61と抵抗R61との接続点に接続されている。また、トランジスタN61のベースは、上記ダイオードD61・D62の接続点に接続され、トランジスタN61のベース電位は、トランジスタN41のベース電位よりもダイオードD62の順方向電圧分だけ高く保たれる。

【0069】上記構成において、図18に示すように、安定化回路部21の停止を指示する際、信号Vcの電位が低下して、トランジスタN41が遮断されたとしても、この時点t4aでは、トランジスタN61の電位がダイオードD62の順方向電圧分だけ高く保たれているので、トランジスタN61が導通している。この状態では、ON/OFF回路部23が安定化回路部21へ動作停止を指示するにも拘わらず、リセット信号生成部22は、リセット信号RSTを出力していない。一方、t4bの時点に示すように、信号Vcの電位がさらに低下して、トランジスタN61のしきい値電圧を下回ると、トランジスタN61が遮断され、リセット信号生成部22は、リセット信号RSTを出力する。

【0070】このように、本実施形態では、リセット信号生成部22がリセット信号RSTを出力する際における信号Vcのしきい値は、ON/OFF回路部23が安

定化回路部21を停止させる場合のしきい値よりも、低く設定されている。この結果、特に、遅延回路を設けなくても、例えば、安定化回路部21が停止してから、リセット信号RSTを出力するなど、リセット信号生成部22がリセット信号RSTを出力するタイミングを遅延させることができる。

【0071】ところで、図16では、リセット信号生成部22のしきい値の方が、ON/OFF回路部23のしきい値よりも低い場合、すなわち、リセット信号生成部22がリセット信号RSTを生成し始める時点の方が、ON/OFF回路部23が安定化回路部21を停止させる時点よりも遅い場合について説明したが、これに限るものではない。

【0072】以下では、図17に示すように、出力電圧Voutを監視する安定化電源回路11eにおいて、リセット信号生成部22のしきい値の方が、ON/OFF回路部23のしきい値よりも高く設定される場合について説明する。なお、安定化電源回路11eの各部材のうち、図14に示す安定化電源回路11dと同様の機能を有する部材には、同じ参照符号を付して説明を省略する。

【0073】本変形例に係る安定化電源回路11eでは、トランジスタN61のベースと端子ON/OFFとの間に、ダイオードD61・D62の直列回路が設けられており、トランジスタN41のベースは、両ダイオードD61・D62の接続点に接続されている。したがって、トランジスタN61のベース電位は、ダイオードD62の順方向電圧の分だけ、トランジスタN41のベース電位よりも低く保たれる。この結果、リセット信号生成部22のしきい値は、ON/OFF回路部23のしきい値よりも高くなり、リセット信号生成部22は、図18にて、破線で示すように、ON/OFF回路部23が安定化回路部21を停止させる時点t4bよりも早い時点t4aで、リセット信号RSTを出力できる。

【0074】なお、上記第1ないし第6の実施形態では、リセット信号RSTのトリガとして、安定化電源回路1(1a~1e)の入力電圧Vin(出力電圧Vout)の他に、1種類のトリガを使用する場合を例にして説明したが、当然ながら、これに限るものではなく、リセット信号生成部22が複数種類の他のトリガに基づいてリセット信号RSTを生成しても同様の効果が得られる。

【0075】また、上記各実施形態では、安定化電源回路1・11(1a~1e・11a~11e)がリセット信号発生機能付きレギュレータICとして1デバイス化されている場合を例にして説明したが、例えば、分圧用の抵抗R1・R2や出力コンデンサC1など、安定化回路部21の一部をICの外部に設けてもよい。また、出力トランジスタP1をICの外部に設け、リセット信号発生機能付きレギュレータ制御用ICとして提供してもよい。いずれの場合であっても、誤差増幅器AMP1な

ど、安定化電源回路 1・11 (1a~1e・11a~11e) のうち、高い精度が要求される回路が IC 内に含まれていれば、各実施形態と同様の効果が得られる。

【0076】さらに、上記各実施形態では、安定化電源回路 1・11 (1a~1e・11a~11e) がリニア型の場合を例にして説明したが、これに限らず、スイッチング型のレギュレータであっても同様の効果が得られる。さらに、上記各実施形態では、安定化電源回路 1・11 (1a~1e・11a~11e) の負荷 L が、マイクロプロセッサを含む回路ブロック 3 (4) の場合について説明したが、本発明は、リセット信号が入力される回路であれば、一般の電子機器回路や電気機器回路へ電力を供給する場合に広く適用できる。

【0077】

【発明の効果】請求項 1 の発明に係る安定化電源回路は、以上のように、入力電圧または出力電圧を監視して、当該電圧が低下した場合に、リセット信号を出力するリセット信号生成手段を備えた安定化電源回路において、外部からの入力を受け付ける入力手段を備え、上記リセット信号生成手段は、上記入力手段の受け付けた外部入力がリセットを示す場合、リセット信号を生成する構成である。

【0078】上記構成によれば、安定化電源回路を使用するシステムのリセット信号が、安定化電源回路の電圧低下以外のトリガを有する場合であっても、入力手段がこれらのトリガを識別できるので、安定化電源回路は、各トリガを集約して、リセット信号を生成できる。また、集約用の回路を別に設ける場合とは異なり、安定化電源回路が集約回路の電力供給を制御する必要がない。これらの結果、システム全体の部材数および端子数が少なく、かつ、より信頼性の高いシステムを実現可能な安定化電源回路を提供できるという効果を奏する。

【0079】請求項 2 の発明に係る安定化電源回路は、以上のように、請求項 1 記載の発明の構成において、上記入力手段は、使用者のリセット操作を受け付ける構成である。

【0080】上記構成によれば、安定化電源回路は、自らの電圧異常だけではなく、マニュアル・リセットも集約して、リセット信号を生成できる。この結果、外部からのマニュアル・リセットに応じてリセット信号を出力する場合であっても、部品数および端子数が少なく、かつ、より信頼性の高いシステムを実現可能な安定化電源回路を提供できるという効果を奏する。

【0081】請求項 3 の発明に係る安定化電源回路は、以上のように、請求項 1 記載の発明の構成において、上記入力手段は、外部から、リセットするか否かを示すロジック信号を受け付ける構成である。

【0082】上記構成によれば、安定化電源回路は、自らの電圧異常だけではなく、他機器からの指示などのロジック信号も集約して、リセット信号を生成できる。こ

の結果、外部からのロジック信号によりリセット信号を出力する場合であっても、部品数および端子数が少なく、かつ、より信頼性の高いシステムを実現可能な安定化電源回路を提供できるという効果を奏する。

【0083】請求項 4 の発明に係る安定化電源回路は、以上のように、請求項 1 記載の発明の構成において、上記入力手段は、他系統の電圧を示す信号を受け取り、上記リセット信号生成手段は、上記他系統の電圧が低下した場合にも、リセット信号を出力する構成である。

【0084】上記構成によれば、安定化電源回路は、自らの電圧異常だけではなく、他系統の電圧異常も集約して、リセット信号を生成できる。この結果、他系統の電圧異常によりリセット信号を出力する場合であっても、部品数および端子数が少なく、かつ、より信頼性の高いシステムを実現可能な安定化電源回路を提供できるという効果を奏する。

【0085】請求項 5 の発明に係る安定化電源回路は、以上のように、請求項 1 記載の発明の構成において、上記入力手段は、外部からの入力として、負荷への電力供給の要否を示す指示信号を受け取り、当該指示信号に基づいて、負荷へ電力を供給するか否かを制御する出力制御手段が設けられていると共に、上記リセット信号生成手段は、上記指示信号に同期して、リセット信号を出力する構成である。

【0086】上記構成によれば、安定化電源回路は、自らの電圧異常だけではなく、電力供給の要否を示す指示信号も集約して、リセット信号を生成できる。この結果、電力供給を切り換える場合にリセット信号を出力する場合であっても、部品数および端子数が少なく、かつ、より信頼性の高いシステムを実現可能な安定化電源回路を提供できるという効果を奏する。

【0087】請求項 6 の発明に係る安定化電源回路は、以上のように、請求項 5 記載の発明の構成において、上記出力制御手段が電力供給の要否を判定する際における上記指示信号のしきい値と、上記リセット信号生成手段がリセット信号を出力するか否かを判定する際における上記指示信号のしきい値とは、互いに異なる値に設定されている構成である。

【0088】上記構成によれば、出力制御手段のしきい値とリセット信号生成手段のしきい値とが互いに異なっているので、一方の判定より早い時点で、他方を判定できる。この結果、同じ指示信号に基づいて、電力供給の要否と、リセット信号出力の要否とが判定されるにも拘わらず、電力供給の切り換えのタイミングと、リセット信号の出力タイミングとを個別に設定できるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の一実施形態を示すものであり、外部信号と入力電圧とに基づいてリセット信号を生成する安定化電源回路が設けられたマイクロプロセッサシステム全

体の要部構成を示すブロック図である。

【図 2】上記安定化電源回路の変形例を示すものであり、入力電圧に代えて、出力電圧を監視する安定化電源回路安定化電源回路が設けられたマイクロプロセッサシステム全体の要部構成を示すブロック図である。

【図 3】本実施形態に係る両安定化電源回路の動作を示すものであり、各部信号の波形を示す波形図である。

【図 4】本発明の他の実施形態を示すものであり、スイッチによって外部信号を生成する場合の安定化電源回路を示す回路図である。

【図 5】上記安定化電源回路の変形例を示すものであり、入力電圧に代えて、出力電圧を監視する安定化電源回路を示す回路図である。

【図 6】本実施形態に係る両安定化電源回路の動作を示すものであり、各部信号の波形を示す波形図である。

【図 7】本発明のさらに他の実施形態を示すものであり、外部信号として、リセットを示すデジタル信号が入力される場合の安定化電源回路を示す回路図である。

【図 8】上記安定化電源回路の変形例を示すものであり、入力電圧に代えて、出力電圧を監視する安定化電源回路を示す回路図である。

【図 9】本実施形態に係る両安定化電源回路の動作を示すものであり、各部信号の波形を示す波形図である。

【図 10】本発明のまた別の実施形態を示すものであり、外部信号として、他系統の電源電圧が印加される場合の安定化電源回路を示す回路図である。

【図 11】上記安定化電源回路の変形例を示すものであり、入力電圧に代えて、出力電圧を監視する安定化電源回路を示す回路図である。

【図 12】本実施形態に係る両安定化電源回路の動作を示すものであり、各部信号の波形を示す波形図である。

【図 13】本発明のさらに他の実施形態を示すものであり、外部信号として、安定化電源回路の ON/OFF 信号を使用する場合の安定化電源回路を示す回路図である。

【図 14】上記安定化電源回路の変形例を示すものであり、入力電圧に代えて、出力電圧を監視する安定化電源回路を示す回路図である。

【図 15】本実施形態に係る両安定化電源回路の動作を

示すものであり、各部信号の波形を示す波形図である。

【図 16】本発明のまた別の実施形態を示すものであり、上記 ON/OFF 信号のしきい値と、電源監視のしきい値とが異なる場合の安定化電源回路を示す回路図である。

【図 17】上記安定化電源回路の変形例を示すものであり、入力電圧に代えて、出力電圧を監視する安定化電源回路を示す回路図である。

【図 18】本実施形態に係る両安定化電源回路の動作を示すものであり、各部信号の波形を示す波形図である。

【図 19】従来技術を示すものであり、出力電圧に基づいてリセット信号を生成可能な安定化電源回路を有するマイクロプロセッサシステム全体の要部構成を示すブロック図である。

【図 20】上記安定化電源回路が出力するリセット信号を示す波形図である。

【図 21】上記安定化電源回路の構成例を示す回路図である。

【図 22】他の従来技術を示すものであり、安定化電源回路が出力電圧に代えて、入力電圧を監視して、リセット信号を出力する場合のマイクロプロセッサシステム全体の要部構成を示すブロック図である。

【図 23】上記安定化電源回路の構成例を示す回路図である。

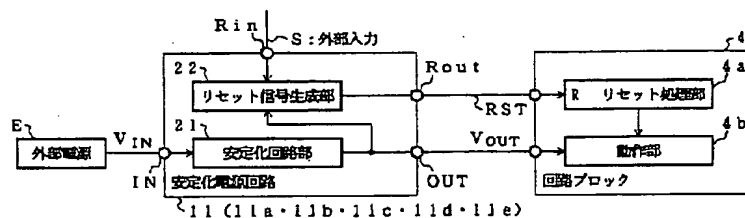
【図 24】上記出力電圧を監視する従来の構成において、他のリセット信号も併用する場合のマイクロプロセッサシステム全体を示すブロック図である。

【図 25】上記入力電圧を監視する従来の構成において、他のリセット信号も併用する場合のマイクロプロセッサシステム全体を示すブロック図である。

【符号の説明】

1・1 a～1 e・11・11 a～11 e	安定化電源回路
2 2	リセット信号生成部（リセット信号生成手段）
2 3	ON/OFF 回路部（出力制御手段）
SW 1	スイッチ（入力手段）
R in	外部入力端子（入力手段）
ON/OFF	端子（入力手段）

【図 2】



[illegible]

【図 6】

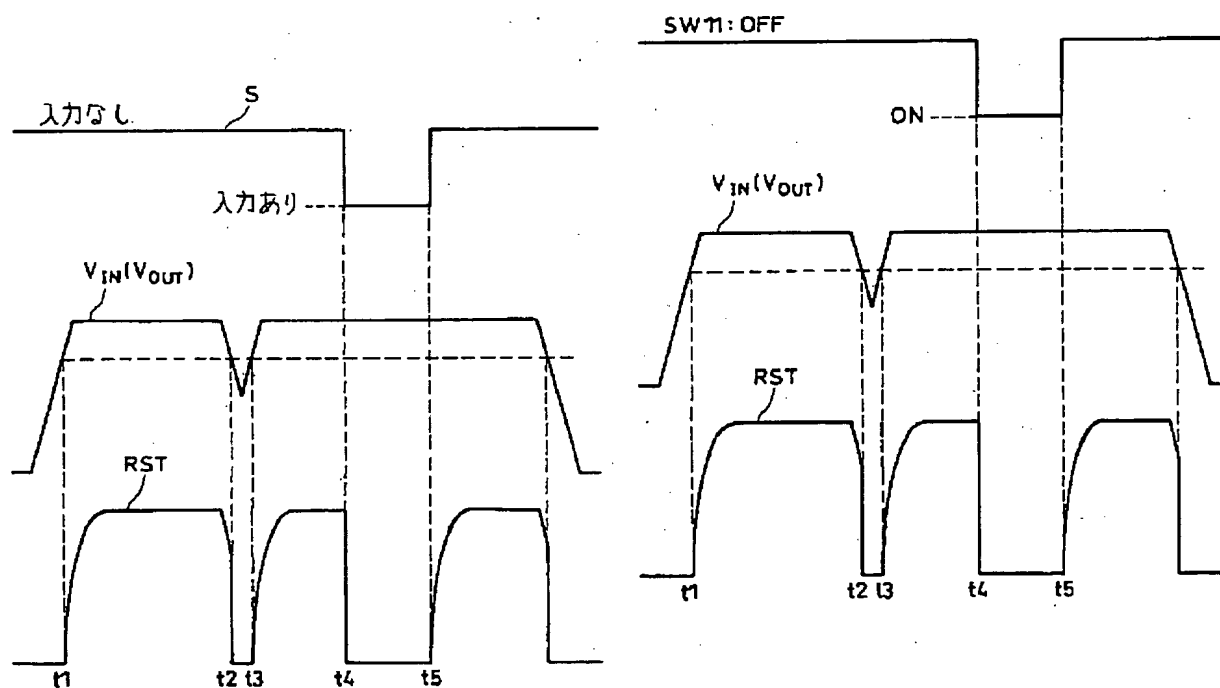
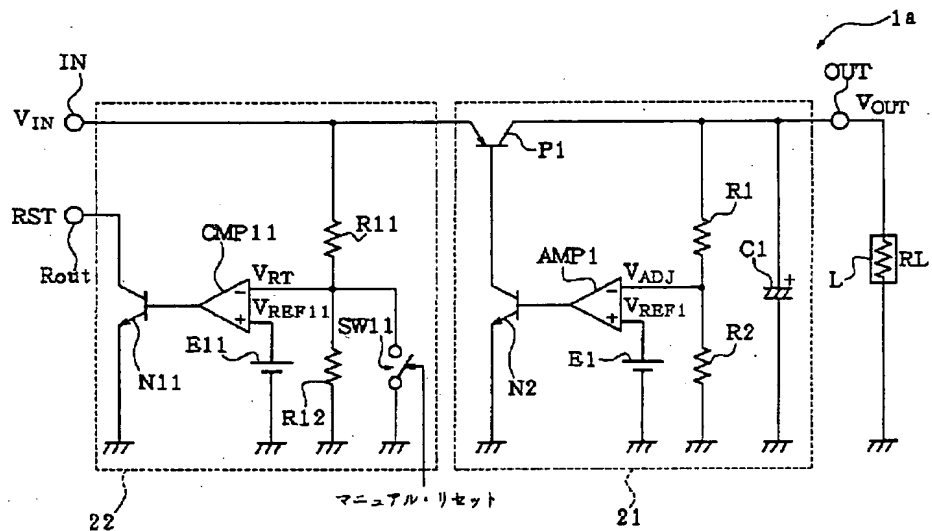
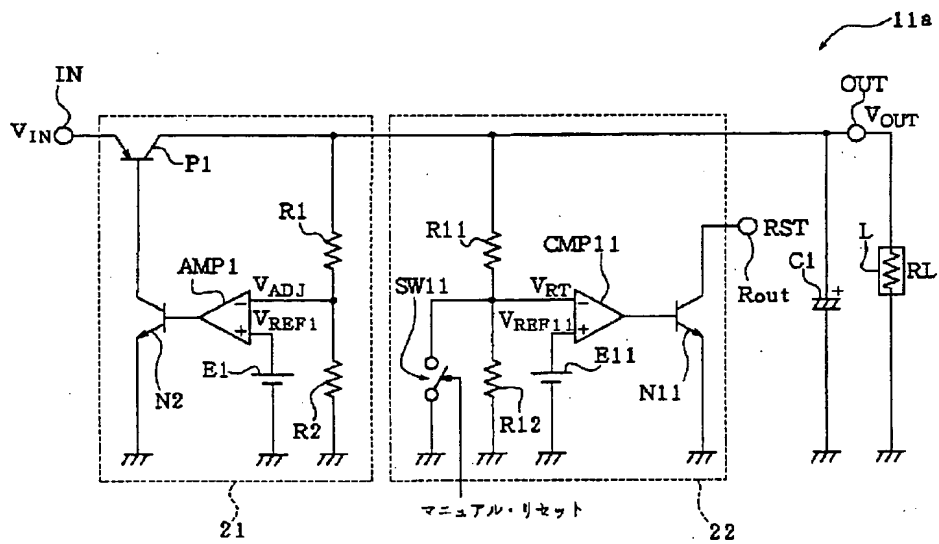


Figure 10 is a block diagram of the circuit block 104. The circuit block 104 includes a reset signal generation unit 122 and a stabilization unit 121. The input VIN is connected to a summing junction (IN) of a feedback loop. The output of the stabilization unit 121 is VOUT, which is connected to a summing junction (OUT). The output of the reset signal generation unit 122 is RST, which is connected to a reset processing unit. The reset processing unit is connected to an operation unit. The entire circuit is labeled as circuit block 104.

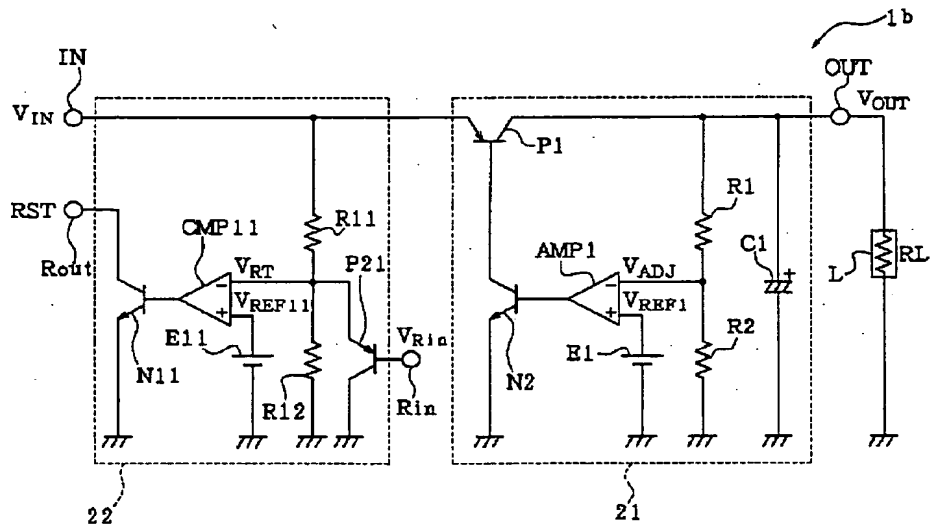
【図4】



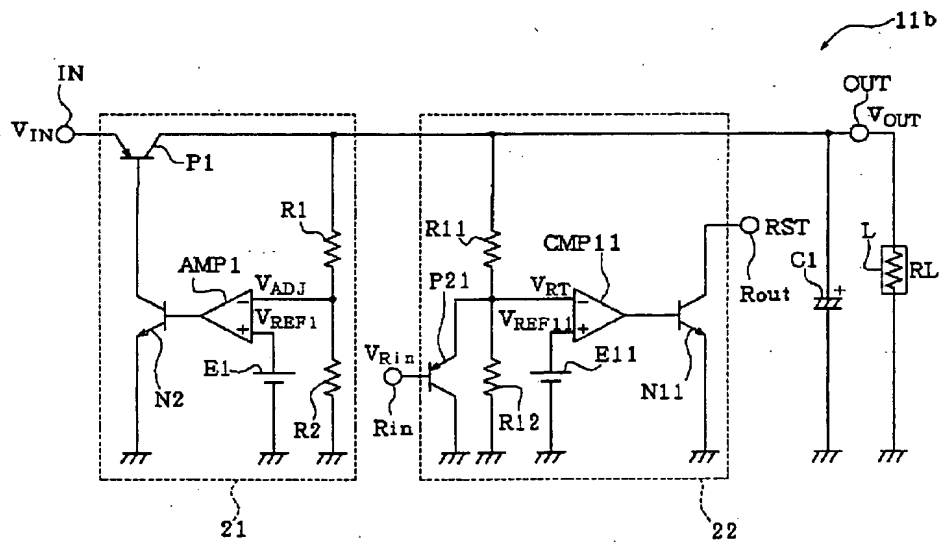
【図 5】



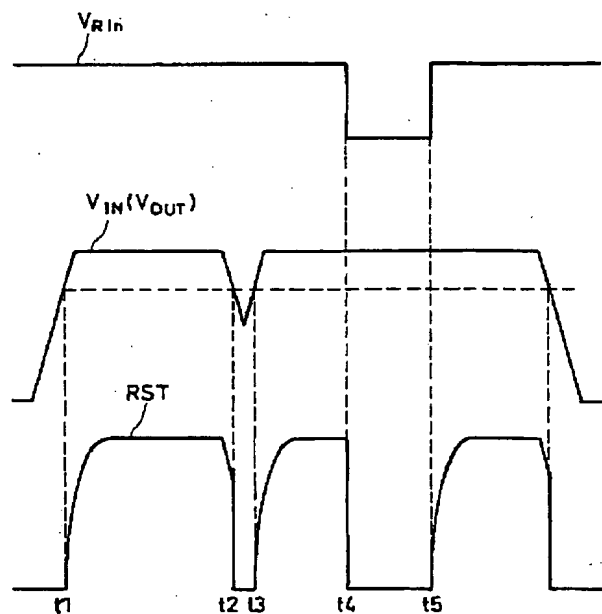
【図7】



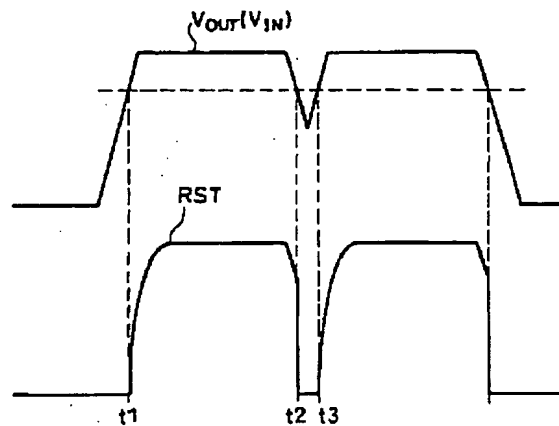
【図8】



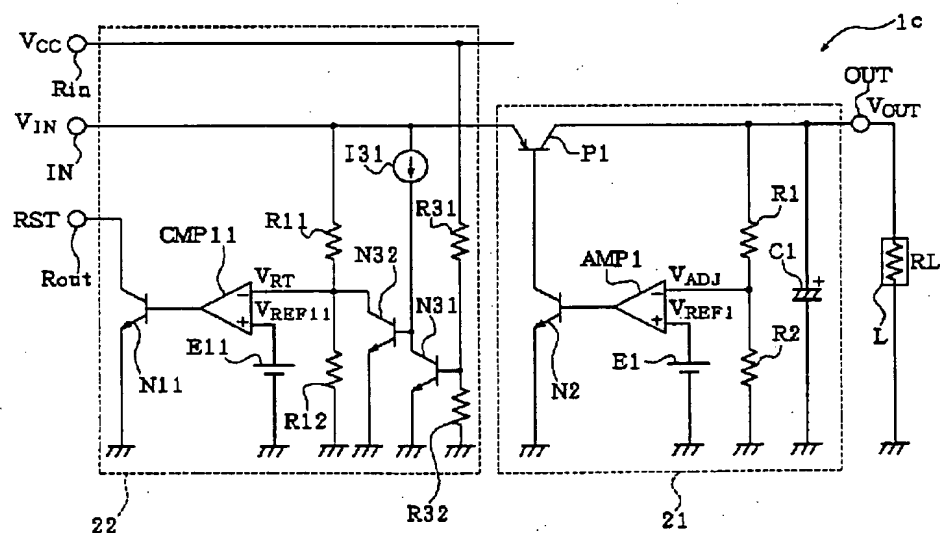
【図9】



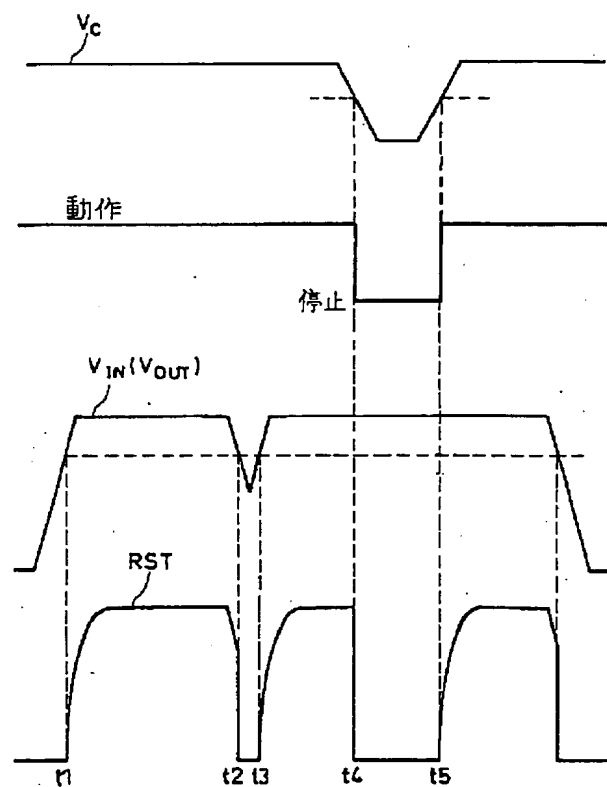
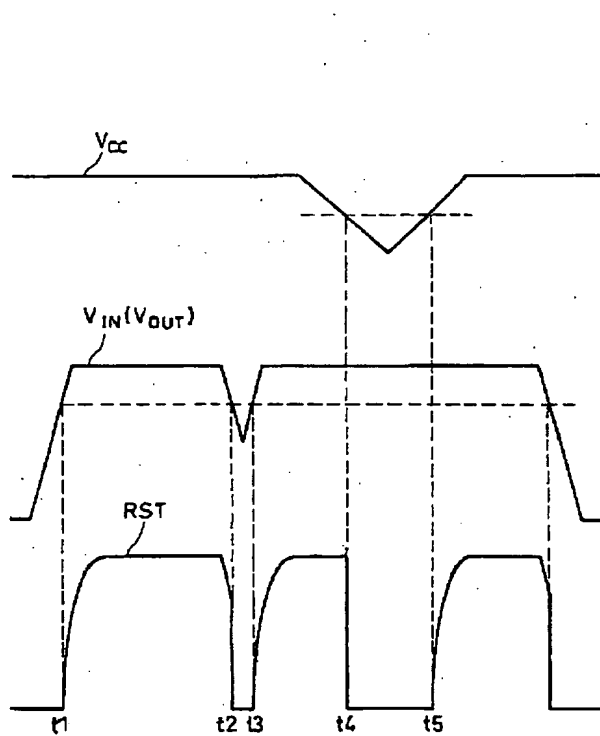
【図20】



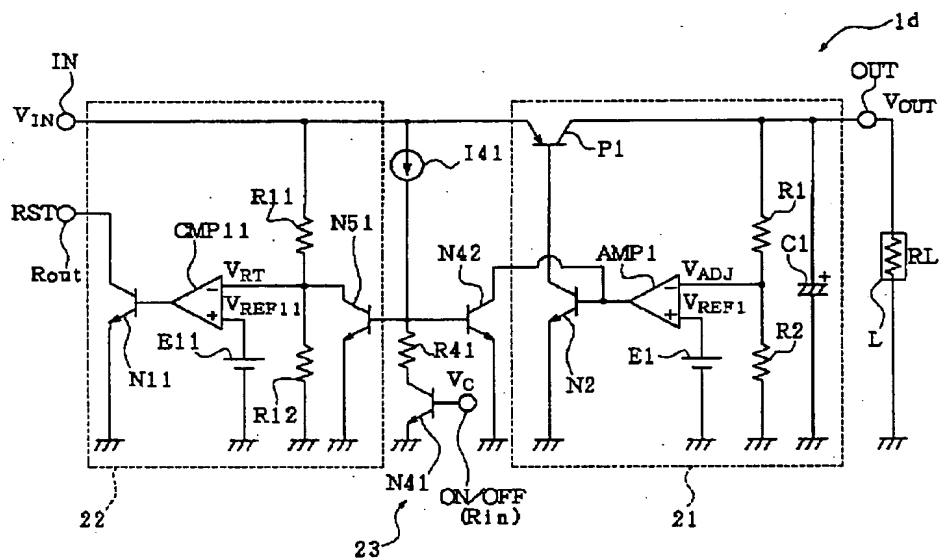
【図10】



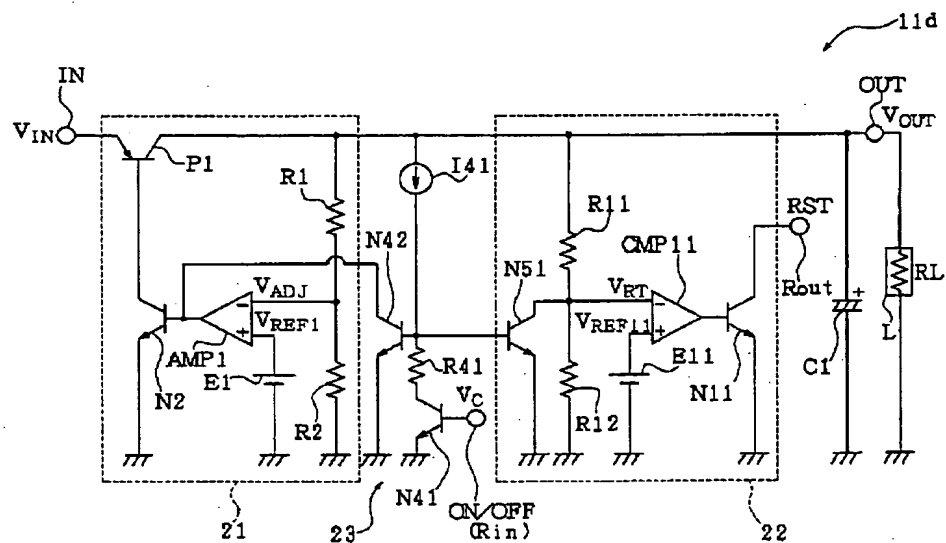
【図 15】



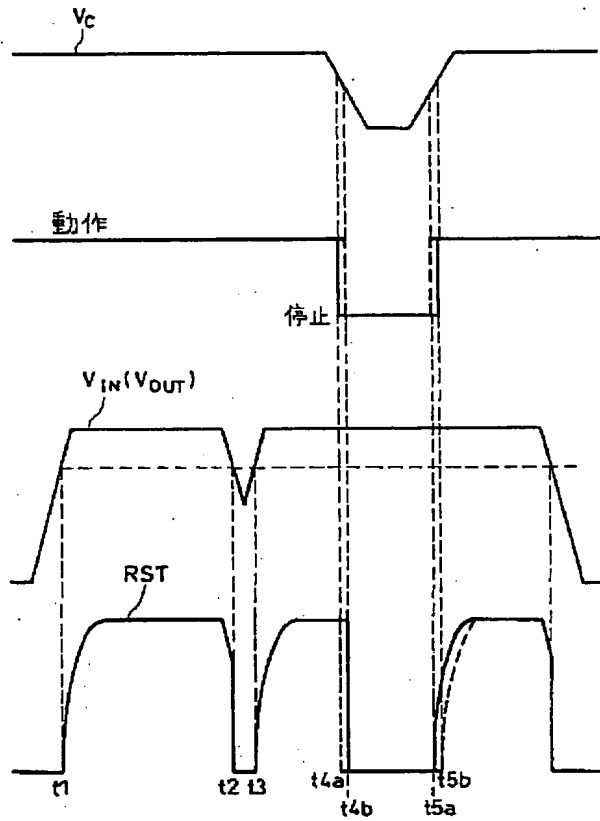
【図 13】



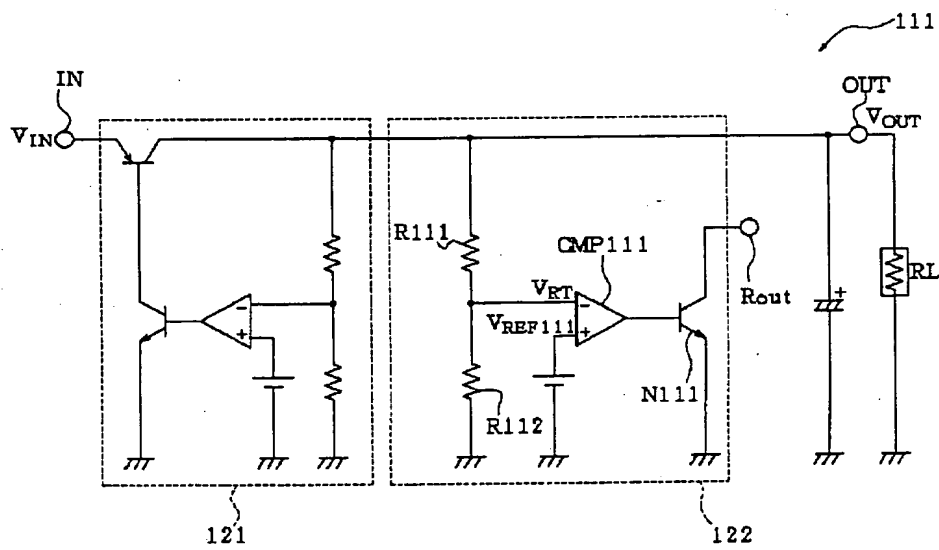
【図 14】



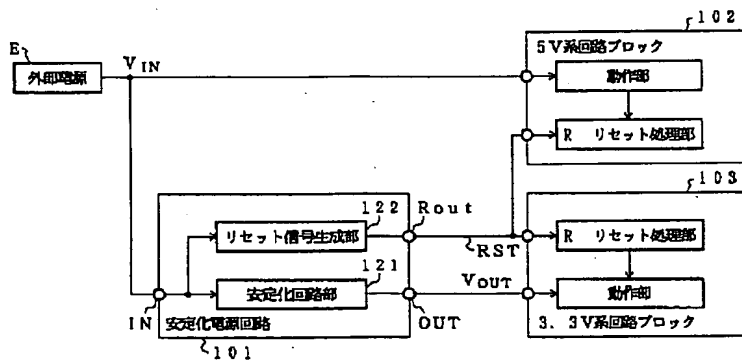
【図 18】



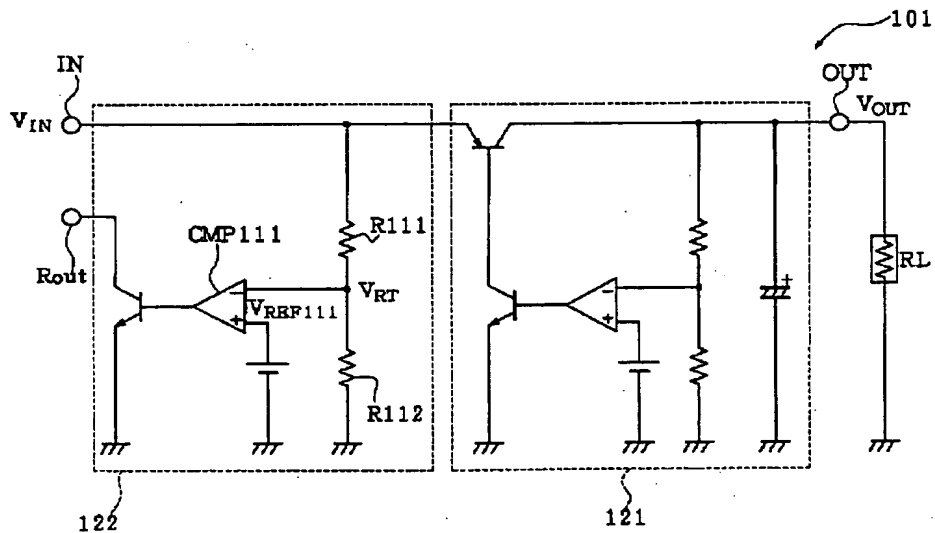
【図 21】



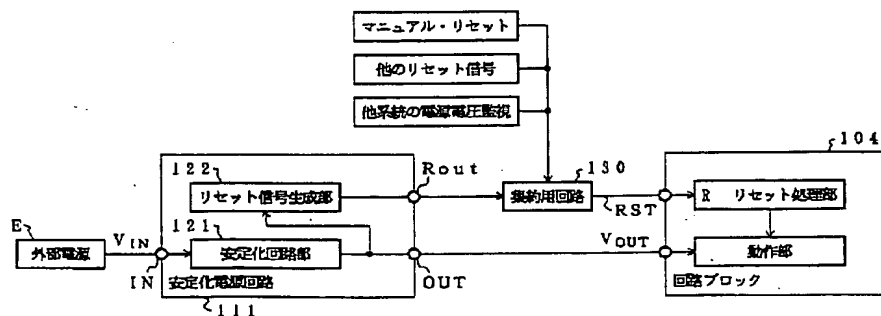
【図 22】



【図 23】



【図 24】



【図25】

